

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-324954

(43)Date of publication of application : 14.11.2003

(51)Int.Cl.

H02M 3/28

G03G 21/00

(21)Application number : 2002-133626

(71)Applicant : OKI DATA CORP

(22)Date of filing : 09.05.2002

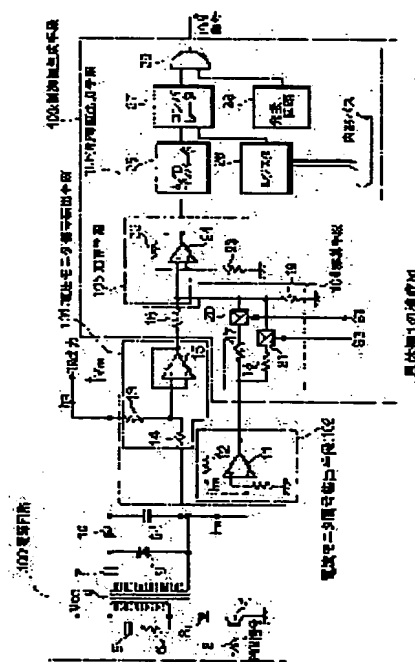
(72)Inventor : KOMORI TOMOHIRO

(54) CONTROL CIRCUIT FOR HIGH-VOLTAGE POWER SOURCE

(57)Abstract:

PROBLEM TO BE SOLVED: To eliminate the necessity of a plurality of series resistors and a high-voltage relay for switching.

SOLUTION: A voltage monitor signal detecting means 101 monitors the output voltage of a power source circuit 100. A current monitor signal detecting means 102 monitors the output current of the circuit 100. A multiplying circuit 104 multiplies a selectable coefficient by at least any one of the voltage monitor signal or the current monitor signal. An adding means 105 adds a value multiplied by the means 104. A control value output means 106 compares the value output from the means 105 with a predetermined value, and outputs a control value based on a compared result. A power source circuit 100 generates an output voltage or current based on a control value output from a control value output means 106.



LEGAL STATUS

[Date of request for examination]

28.12.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2003-324954
(P2003-324954A)

(43) 公開日 平成15年11月14日 (2003.11.14)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-ト (参考)
H 0 2 M 3/28		H 0 2 M 3/28	H 2 H 0 2 7
G 0 3 G 21/00	3 9 8	G 0 3 G 21/00	3 9 8 5 H 7 3 0

審査請求 未請求 請求項の数 4 O L (全 10 頁)

(21) 出願番号 特願2002-133626 (P2002-133626)

(22) 出願日 平成14年5月9日 (2002.5.9)

(71) 出願人 591044164

株式会社沖データ

東京都港区芝浦四丁目11番22号

(72) 発明者 小森 智裕

東京都港区芝浦四丁目11番22号 株式会社

沖データ内

(74) 代理人 100082050

弁理士 佐藤 幸男

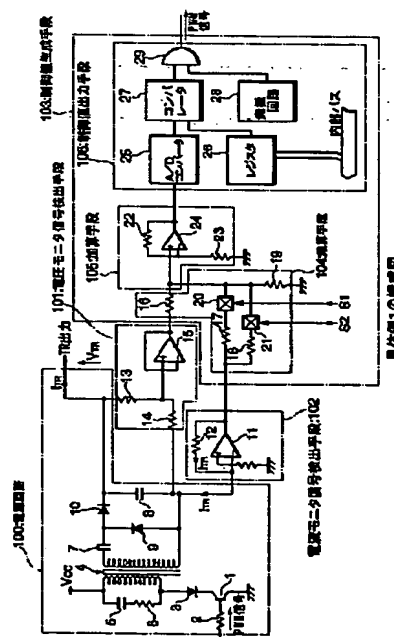
最終頁に続く

(54) 【発明の名称】 高圧電源の制御回路

(57) 【要約】

【課題】 複数のシリーズ抵抗や切換えのための高圧リレーを不要とする。

【解決手段】 電圧モニタ信号検出手段101は、電源回路100の出力電圧をモニタする。電流モニタ信号検出手段102は、電源回路100の出力電流をモニタする。乗算手段104では、選択可能な係数を、電圧モニタ信号または電流モニタ信号の少なくともいずれか一方に対して乗算する。加算手段105は、乗算手段104で乗算された値を加算する。制御値出力手段106は、加算手段105から出力された値と、予め決められた値とを比較し、比較結果に基づいて制御値を出力する。電源回路100は、制御値出力手段106から出力された制御値に基づいて出力電圧または電流を発生する。



【特許請求の範囲】

【請求項 1】 与えられた制御値に対応した電圧または電流を出力する電源回路と、前記電源回路の出力電圧を検出する電圧モニタ信号検出手段と、前記電源回路の出力電流を検出する電流モニタ信号検出手段と、前記電圧モニタ信号検出手段で検出された電圧値および前記電流モニタ信号検出手段で検出された電流値に基づいて複数の異なる制御値を生成し、これら制御値を選択して前記電源回路に対して送出する制御値生成手段とを備えたことを特徴とする高圧電源の制御回路。

【請求項 2】 請求項 1 に記載の高圧電源の制御回路において、制御値生成手段は、電圧モニタ信号検出手段または電流モニタ信号検出手段の少なくともいずれか一方に、複数の異なる係数を乗算する乗算手段と、前記乗算手段で乗算された後の電圧モニタ信号検出手段と電流モニタ信号検出手段の値を加算する加算手段と、前記加算手段で加算された加算値を予め決められた値と比較し、当該比較結果に基づいて制御値を出力する制御値出力手段とからなることを特徴とする高圧電源の制御回路。

【請求項 3】 請求項 2 に記載の高圧電源の制御回路において、任意の値を設定する係数値保持部と、前記係数値保持部の値を乗算する乗算手段とを備えたことを特徴とする高圧電源の制御回路。

【請求項 4】 請求項 1 に記載の高圧電源の制御回路において、制御値生成手段は、電圧モニタ信号検出手段で検出した電圧値と、任意の値に設定可能な電圧値用比較値とを比較する電圧値比較手段と、電流モニタ信号検出手段で検出した電流値と、任意の値に設定可能な電流値用比較値とを比較する電流値比較手段と、前記電圧モニタ信号検出手段または電流モニタ信号検出手段の少なくともいずれか一方に、任意の値に設定可能な係数を乗算する乗算手段と、前記乗算手段で乗算された後の電圧モニタ信号検出手段と電流モニタ信号検出手段の値を加算する加算手段と、前記加算手段で加算された加算値を、任意の値に設定可能な電圧電流値用比較値と比較する電圧電流値比較手段と、前記電圧値比較手段、電流値比較手段および電圧電流値比較手段の比較結果に基づいて、制御値を出力する制御値選択出力手段とからなることを特徴とする高圧電源の制御回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えば電子写真プリンタに用いられる高圧電源の制御回路に関する。

【0002】

【従来の技術】一般に、電子写真プリンタにおいては、感光体ドラムの表面が帯電器によって一様にかつ均一に帯電せられ、露光器によって露光され、静電潜像が形成されるようになっている。そして、形成された静電潜像は現像器によって現像されてトナー像になり、このトナー像は転写ローラによって媒体に転写され、定着器によって媒体に定着される。

【0003】

【発明が解決しようとする課題】ところで、トナー像を媒体に転写する場合、感光体ドラムのトナーを静電気力によって媒体に良好に付着させるため、転写ローラに電源供給を行う転写用電源を制御するようになっている。ここで、転写ローラの抵抗値は、一般に温度、湿度の影響を受ける。特に、抵抗値に電流依存性が少ない線形性の良い転写ローラは、転写性に優れる傾向を有するが、一般にこのような転写ローラは導電性をイオン導電によっている場合が多く、特に環境の影響を受けやすい。そこで、一般的にはこの転写ローラの抵抗値の変化を少なくするために、転写ローラと抵抗値と同程度のシリーズ抵抗を電源回路に挿入することがよく行われている。ここで、シリーズ抵抗値に単一の適正値が存在すればよいが、一般に媒体に応じて異なるので、抵抗値を切り換える必要が生じてくる。たとえば、幅広の媒体では転写ローラの抵抗に変化の影響を少なくするため、抵抗値は大きい方がよい。一方、はがき等の場合は、転写ローラと感光体ドラムが直接接触する部分が多く転写電流のほとんどは、転写ローラから感光体ドラムへと流れてしまうので、抵抗値は小さい方がよい。この抵抗の切り換えは、転写電圧として一般に数KVを使用しているので、半導体スイッチは使用できず、メカニカルな接点による切り換えか、高価な高圧リレーを使用せざるを得なかった。このように、従来の装置の場合、転写ローラと高圧電源との間に複数のシリーズ抵抗を切り換え可能に設けるため、高圧リレーが必要となり、その結果、装置が大型化し、また高価となるという問題点があった。

【0004】

【課題を解決するための手段】本発明は、前述の課題を解決するため次の構成を採用する。

（構成 1）与えられた制御値に対応した電圧または電流を出力する電源回路と、電源回路の出力電圧を検出する電圧モニタ信号検出手段と、電源回路の出力電流を検出する電流モニタ信号検出手段と、電圧モニタ信号検出手段で検出された電圧値および電流モニタ信号検出手段で検出された電流値に基づいて複数の異なる制御値を生成し、これら制御値を選択して電源回路に対して送出する

制御値生成手段とを備えたことを特徴とする高圧電源の制御回路。

【0005】〈構成2〉構成1に記載の高圧電源の制御回路において、制御値生成手段は、電圧モニタ信号検出手段または電流モニタ信号検出手段の少なくともいずれか一方に、複数の異なる係数を乗算する乗算手段と、乗算手段で乗算された後の電圧モニタ信号検出手段と電流モニタ信号検出手段の値を加算する加算手段と、加算手段で加算された加算値を予め決められた値と比較し、この比較結果に基づいて制御値を出力する制御値出力手段とからなることを特徴とする高圧電源の制御回路。

【0006】〈構成3〉構成2に記載の高圧電源の制御回路において、任意の値を設定する係数値保持部と、係数値保持部の値を乗算する乗算手段とを備えたことを特徴とする高圧電源の制御回路。

【0007】〈構成4〉構成1に記載の高圧電源の制御回路において、制御値生成手段は、電圧モニタ信号検出手段で検出した電圧値と、任意の値に設定可能な電圧値用比較値とを比較する電圧値比較手段と、電流モニタ信号検出手段で検出した電流値と、任意の値に設定可能な電流値用比較値とを比較する電流値比較手段と、電圧モニタ信号検出手段または電流モニタ信号検出手段の少なくともいずれか一方に、任意の値に設定可能な係数を乗算する乗算手段と、乗算手段で乗算された後の電圧モニタ信号検出手段と電流モニタ信号検出手段の値を加算する加算手段と、加算手段で加算された加算値を、任意の値に設定可能な電圧電流値用比較値と比較する電圧電流値比較手段と、電圧値比較手段、電流値比較手段および電圧電流値比較手段の比較結果に基づいて、制御値を出力する制御値選択出力手段とからなることを特徴とする高圧電源の制御回路。

【0008】

【発明の実施の形態】以下、本発明の実施の形態を具体例を用いて詳細に説明する。

《具体例1》

〈構成〉図1は、本発明の高圧電源の制御回路の具体例1を示す構成図である。図の装置は、電源回路100、電圧モニタ信号検出手段101、電流モニタ信号検出手段102、制御値生成手段103からなり、制御値生成手段103は、乗算手段104、加算手段105、制御値出力手段106からなる。電源回路100は次のように構成されている。即ち、1はトランジスタであり、このトランジスタ1のベースに抵抗2が接続され、抵抗2を介して電源回路100への制御値であるPWM (Pulse Width Modulation) 信号が供給されるようになっている。トランジスタ1のコレクタは、ダイオード3を介してトランス4の一次巻線側に接続され、エミッタは接地されている。トランス4の一次巻線側には電源Vccが供給され、また、一次側に接続されたコンデンサ5と抵抗6は、トランス4の一次側のインダクタンスと共振回

路を構成し、トランジスタ1のオフ時に一次側の電圧を正弦波状にし、効率よく二次側に高電圧を発生させるものである。トランス4の二次側には、コンデンサ7、8、ダイオード9、10からなる倍電圧整流回路が設けられている。倍電圧整流回路の出力側はTR出力(図示省略した転写ローラへの供給出力)となっている。

【0009】また、倍電圧整流回路の接地側(0V電位側)は、電流モニタ信号検出手段102を構成するオペアンプ11のマイナス入力端子に接続されている。このオペアンプ11のマイナス入力端子と出力端子との間には抵抗12が接続されている。更に、倍電圧整流回路の出力は、抵抗13、14で分圧され、この分圧出力がオペアンプ15で構成されたボルテージフォロワ(バッファ回路)に入力されるようになっている。尚、抵抗13、14およびオペアンプ15によって電圧モニタ信号検出手段101が構成されており、オペアンプ11、15の出力はそれぞれ電流モニタ信号、電圧モニタ信号として出力されるようになっている。

【0010】これら電圧モニタ信号および電流モニタ信号は、乗算手段104を介して加算手段105に入力されるよう構成されている。乗算手段104は、抵抗16、17、18、19およびアナログスイッチ20、21からなる。また、加算手段105は、抵抗22、23およびオペアンプ24からなる。電圧モニタ信号は抵抗16を介してオペアンプ24のプラス入力端子に接続され、電流モニタ信号は、抵抗17とアナログスイッチ20を介して、または、抵抗18とアナログスイッチ21を介してオペアンプ24のプラス入力端子に接続されている。また、オペアンプ24のプラス入力端子は抵抗19を介して接地されている。アナログスイッチ20および21は、それぞれ抵抗17とオペアンプ24のプラス入力端子および抵抗18とオペアンプ24のプラス入力端子との間に挿入されているスイッチであり、電流モニタ側に乗ずる定数を切り換えるためのものである。オペアンプ24の出力端子とマイナス入力端子との間には抵抗22が接続され、また、マイナス入力端子は抵抗23を介して接地されている。

【0011】加算手段105の出力は、制御値出力手段106に入力される。この制御値出力手段106は、プリンタ全体の制御を司るCPU(図示省略)を内部に有するプリンタ制御用ASIC LSIで構成されており、A/Dコンバータ25、レジスタ26、コンパレータ27、発振回路28、AND回路29からなる。加算手段105の出力は、制御値出力手段106におけるA/Dコンバータ25に入力される。この入力、A/Dコンバータ25によりデジタル値に逐次変換され、内部バスと接続されて内蔵のCPUにより書換え可能なレジスタ26とコンパレータ27により比較されるようになっている。コンパレータ27の出力はレジスタ26の値とA/Dコンバータ25の出力とを比較し、A/Dコン

パート25の出力の方がレジスタ26の値より大きい場合は0 (Low) を、小さい場合は1 (High) を出力するよう構成されている。そして、このコンパレータ27の出力は、発振回路28の出力とAND回路29によって論理積演算され、AND回路29の出力はPWM信号となるよう構成されている。

【0012】このPWM信号は、上述した電源回路100のPWM入力となり、抵抗2を介してトランジスタ1のベースを駆動するようになっている。これにより、加算手段105の出力がレジスタ26内の値に相当する電圧より高い場合はPWM出力は休止し(出力=0)、逆に低い場合はパルスが出力され(出力=1)、トランジスタ1を駆動する。このような構成により、レジスタ26内に書き込む値に基づいて加算手段105の出力が所望の値となるよう制御されるものである。

【0013】〈動作〉まず、図示省略したCPUによって、レジスタ26内に所望する電圧値を書き込む。すると、上述したように、加算手段105の出力電圧がそのレジスタ26に相当する電圧となるよう、TR出力が出力される。例えば、分圧抵抗13および14の抵抗値をそれぞれR13、14とした場合、 $R14 / (R13 + R14)$ が $1/1000$ で、加算手段105の電圧モニタ信号に乗ずる定数が1である場合、加算手段105の出力電圧が3V相当のレジスタ26の値を設定すればTR出力は3KVとなる。

【0014】次に、TR出力の出力電流が流れた場合を考える。出力電流 I_{TR} は、オペアンプ11のマイナス入力端子に流れる。オペアンプ11のプラス入力端子は0V電位のため、マイナス入力端子部分の電位は0Vと零電位であるが、この I_{TR} は、抵抗12を介してオペアンプ11の出力端子側から供給される。従って、電流モニタ信号の電圧は、抵抗12の抵抗値をR12とすると、 $I_{TR} \cdot R12$ となる。例えば、 $R12 = 2M\Omega$ の場合、出力電流 $1\mu A$ 当たり2Vの出力電圧が出力されることになる。

【0015】ここで、出力にシリアル抵抗Rが挿入された場合を想定する。図2は、これを示す説明図である。図示のように、出力Vは、元の電圧 V_0 から $I \cdot R$ だけ低下した値となる。例えば、 $R = 100M\Omega$ の場合は $1\mu A$ 当たり100V、 $R = 30M\Omega$ の場合は $1\mu A$ 当たり30Vの出力の低下となる。図1の回路に対してこれを適用した場合、電流モニタ信号は $1\mu A$ 当たり2Vであるから、電圧モニタ信号に加算される電流モニタ信号に乗ずる定数を $1/20$ にすれば、加算手段105の出力電圧において、 I_{TR} が $1\mu A$ 当たり0.1Vとなり、 $1/66$ にすれば I_{TR} が $1\mu A$ 当たり約0.03V加算される。加算手段105の出力電圧は3KV相当の3Vに制御されることから、出力電圧は、 $3000 - I_{TR} (\mu A) \cdot 100$ または $3000 - I_{TR} (\mu A) \cdot 30$ に制御される。これは、 $3000 - I$

$I_{TR} (A) \cdot 100M\Omega$ または $3000 - I_{TR} (A) \cdot 30M\Omega$ となり、出力電圧と出力電流 I_{TR} の関係はちょうど $100M\Omega$ 、 $30M\Omega$ のシリアル抵抗を挿入した場合と等価になる。即ち、アナログスイッチ20、21のオン/オフ信号S1、S2によって、抵抗17または抵抗18を切り換えることで、二つの値のシリアル抵抗を挿入した場合と等価な回路を実現することができる。

【0016】上記例において、乗算手段104の抵抗切換えが抵抗17、抵抗18のみで抵抗19が固定であるため、厳密には正確ではないが、抵抗16～抵抗19、抵抗22、23の値は概略次のように考えることができる。まず、加算手段105の出力電圧は次のように表される。図3は、加算手段105の出力特性を示す説明図である。図中、(a)はアナログスイッチ20をオン、アナログスイッチ21をオフとして抵抗17を選択した場合、(b)は、アナログスイッチ21をオン、アナログスイッチ20をオフとして抵抗18を選択した場合を示している。また、図中、例えば $R19 // R17$ といった表記は $R19$ と $R17$ の並列接続の合成抵抗値を示している。

【0017】図3に示す式(2a)または式(2b)において、電圧モニタ信号の定数/電流モニタ信号の定数を、 $1/20$ または $1/66$ とし、かつ、 $R19 \ll R17$ 、 $R19 \ll R18$ とした場合、 $R19 // R17 \approx R19$ 、 $R19 // R18 \approx R19$ と近似すれば、 $R22 = R23$ のとき、 $R16 = R19$ となる(電圧モニタ信号に乗ずる定数は1)。また、 $R17 \approx (R19 // R16) \cdot 20 = 10 \cdot R19 = 10 \cdot R16$ (アナログスイッチ20をオン時、 $100M\Omega$ 相当) $R18 \approx (R19 // R16) \cdot 66 = 33 \cdot R19 = 33 \cdot R16$ (アナログスイッチ19をオン時、 $30M\Omega$ 相当) にて、大凡、所望する特性を得ることができる。

【0018】〈効果〉以上のように、具体例1によれば、電圧モニタ信号の他に、電流モニタ信号の検出手段と、これら電圧モニタ信号または電流モニタ信号に定数乗じて加算する加算回路とを設け、かつ、これらの定数を選択可能としたので、あたかも出力に挿入したシリアル抵抗を切り換えたのと同価な働きを実現することができる。これにより、高価な出力シリアル抵抗や高圧リレーを不要とすることができ、電源回路の小型化・低価格化に寄与することができる。

【0019】《具体例2》

〈構成〉図4および図5は具体例2の構成図である。これらの図において、電源回路100、電圧モニタ信号検出手段101および電流モニタ信号検出手段102は具体例1と同様であるため、その図示は省略し、乗算手段以降の構成を示している。本具体例では、乗算手段を構成する部分まで、プリント制御用ASICであるLSI107またはLSI108に内蔵したものである。ここ

で、図4の構成はコアとなるCPUが8～16ビットといった性能があまり高くない場合の構成例であり、図5の構成はコアとなるCPUが32ビットRISC等、比較的高速・高性能である場合の構成例である。

【0020】先ず、図4の構成例について説明する。電圧モニタ信号および電流モニタ信号は、第1の多重化回路30に入力され、次にA/Dコンバータ31に入力されるよう構成されている。この後、第2の多重化回路32に入力され、前述の各々の入力電圧に対応したデジタル値が格納されるよう、レジスタ33、34に入力される。この場合、多重化は時分割で行われ、ある周期で同期して入力側と出力側を切り換えることで行われる。レジスタ34の値は、内部バスに接続されて図示しない内部CPUにより書換え可能なレジスタ35の値と共に、乗算回路36に入力され、レジスタ33の値はこの乗算回路36の出力と共に加算回路37に入力されるよう構成されている。

【0021】加算回路37の出力と、レジスタ35と同様に内部バスに接続されて図示しないCPUにより書換え可能なレジスタ38の値はコンパレータ39に入力され比較されるようになっている。コンパレータ39はレジスタ38の値よりも加算回路37出力の値の方が小的时候、出力を1 (High) とする。コンパレータ39の出力は発振回路40の出力とAND回路41によって論理積演算され、PWM信号となってLSI107より出力されるよう構成されている。尚、図4の構成において、レジスタ35が係数値保持部を構成し、また、乗算回路36が乗算手段に、加算回路37が加算手段に、レジスタ38～AND回路41が制御値出力手段にそれぞれ対応している。

【0022】図5の構成例においては、電圧モニタ信号および電流モニタ信号は、第1の多重化回路42に入力され、次にA/Dコンバータ43に入力されるよう構成されている。この後、第2の多重化回路44に入力され、前述の各々の入力電圧に対応したデジタル値が格納されるよう、レジスタ45、46に入力される。この場合、多重化は時分割で行われ、ある周期で同期して入力側と出力側を切り換えることで行われる。レジスタ45およびレジスタ46は、それぞれCPU47より読込み可能なよう内部バス48に接続されている。また、この内部バス48にはカウンタタイマ回路49が接続され、CPU47からこのカウンタタイマ回路49に対して指令を行うことにより、任意のパルス幅のPWM信号を送出するようになっている。そして、カウンタタイマ回路49の出力がPWM信号としてLSI108から出力されるよう構成されている。また、図5の構成においては、乗算手段および加算手段は、CPU47がそれぞれの機能に対応したプログラムを実行することで実現され、制御値出力手段はCPU47とカウンタタイマ回路49および対応するプログラムによって実現されている

ものである。

【0023】〈動作〉先ず、図4の構成例の動作を説明する。電圧モニタ信号および電流モニタ信号の各々に対応したデジタル変換値がレジスタ33およびレジスタ34に格納される。レジスタ34の値にはレジスタ35の値が乗算回路36により乗じられ、この乗算値は加算回路37でレジスタ33の値と加算される。そして、この加算値とレジスタ38の値がコンパレータ39によって比較され、加算値がレジスタ38の値よりも小の場合、コンパレータ39は1 (High) を出力する。即ち、 $(\text{レジスタ33の値}) + (\text{レジスタ34の値}) \times (\text{レジスタ35の値}) < (\text{レジスタ38の値})$ となったとき、コンパレータ39の出力は1 (High) となり、発振回路40とAND回路41により論理積演算され、オン時間に対応したパルス幅のPWM信号が送出される。

【0024】このようにして、 $(\text{レジスタ33の値}) + (\text{レジスタ34の値}) \times (\text{レジスタ35の値})$ が (レジスタ38の値) になるようPWM信号が出力され、また、レジスタ33およびレジスタ34の値は、それぞれ電圧モニタ信号および電流モニタ信号の値に対応しているので、図4において、 $k1 \times V_{TR} + k2 \times (\text{レジスタ35の値}) \times I_{TR} = k3 \times (\text{レジスタ38の値})$ となり、これは次のように表すことができる。

$$V_{TR} = (k3/k1) \times (\text{レジスタ38の値}) - I_{TR} \times (k2/k1) \times (\text{レジスタ35の値}) \quad \text{但し、} \\ k1 \sim k3 \text{ は定数}$$

これは、図2における式(1)に相当し、レジスタ35、レジスタ38の値を適当な値とすれば、 $V = V_0 - I \cdot R$ と同等の具体例1と同様の出力特性を得ることができる。

【0025】次に図5の構成例の動作を説明する。図5の構成においては、電圧モニタ信号、電流モニタ信号の各々に対応したデジタル変換値がレジスタ45、46に格納される。この値はCPU47が読込むことができ、CPU47はプリンタの全体の印字制御を行いつつ、以下の動作を行う。図示しないメモリ(係数値保持部)に格納された係数N1と比較値N2があり、CPU47はレジスタ46の値にN1を乗じ、レジスタ45の値を加算する。この加算値と比較値N2とを比較し、加算値が比較値N2より小の場合、CPU47はカウンタタイマ回路49にパルス幅に相当する値を書き込む。すると、カウンタタイマ回路49は、その値に応じたパルス幅のパルスを同期的に出力する。もし、加算値が比較値N2より大の場合は、CPU47は、カウンタタイマ回路49に、0 (出力無し) を書き込む。すると、カウンタタイマ回路49の出力は何も出力されない。カウンタタイマ回路49の出力はPWM信号として図1に示したトランジスタ1を駆動する。そのため、CPU47が上記の動作を印字制御処理中に適当な周期で繰り返せば、ほぼ比較値N2と同じ値でバランスする。レジスタ45は電

圧モニタ信号の値に、レジスタ46は電流モニタ信号の値にそれぞれ対応しているので、図5において、 $k1 \times V_{TR} + N1 \times k2 \times I_{TR} = k3 \times N2$ となり、これは次のように表すことができる。

$$V_{TR} = (k3/k1) \times N2 - I_{TR} \times (k2/k1) \times N1 \quad \text{但し、} k1 \sim k3 \text{は定数}$$

これは、図2における式(1)に相当し、 $N1$ と $N2$ を適当な値とすれば、 $V = V_0 - I \cdot R$ と同等の具体例1と同様の出力特性を得ることができる。

【0026】(効果) 以上のように、具体例2によれば、乗算手段や加算手段等で用いる定数がレジスタやメモリ等に格納されているため、これらの値を書き換えることにより、任意の特性値を設定することが可能となり、更にきめ細かな転写用高圧電源回路の制御を行うことができる。また、具体例2では、乗算手段や加算手段をプリンタ本体の制御用ASIC内部に構成したので、オペアンプ等、アナログ回路の追加を行わずに済み、更に、低価格化および小型化を図ることができる。

【0027】《具体例3》

〈構成〉図6は、具体例3の構成図である。具体例3は、具体例2における制御用ASICの高圧電源の制御部を更に発展させたものである。具体例3の回路では、具体例2と同様に、電圧モニタ信号および電流モニタ信号は第1の多重化回路50、A/Dコンバータ51、第2の多重化回路52を介して、それぞれレジスタ53、54に格納されるようになっている。即ち、第1の多重化回路50で多重化され、A/Dコンバータ51でデジタル値に変換された電圧モニタ信号および電流モニタ信号は、第2の多重化回路52によって再分配され、それぞれのデジタル値がレジスタ53、54に格納されるよう構成されている。ここで、レジスタ53の値をLMV、レジスタ54の値をLMIとする。レジスタ53の値LMVは乗算回路55に入力され、乗算回路55では、LMVに対してレジスタ56の値(a であるとする)を乗算する。また、レジスタ54の値LMIは乗算回路57に入力され、乗算回路57では、LMIに対してレジスタ58の値(b であるとする)を乗算するよう構成されている。即ち、乗算回路55ではLMVに対して a 倍、乗算回路57ではLMIに対して b 倍の乗算を行うことになる。乗算回路55、57の値は加算回路59に入力されて加算され、加算回路59の出力(これをLMVIとする)はコンパレータ60に入力される。コンパレータ60はLMVIとレジスタ61の値を比較し、その出力はOR回路62に入力されるようになっている。

【0028】一方、レジスタ53の値LMVはコンパレータ63に入力され、コンパレータ63ではレジスタ64の値と比較するようになっている。コンパレータ63の比較出力はOR回路62に入力されるよう構成されている。また、レジスタ54の値LMIはコンパレータ

5に入力され、コンパレータ65ではレジスタ66の値と比較するようになっている。コンパレータ65の比較出力はOR回路62に入力されるよう構成されている。OR回路62の出力はAND回路67に入力され、AND回路67では発振回路68の出力と論理積演算を行い、その結果をPWM信号として出力するようになっている。また、具体例3の回路では、レジスタ53、64とコンパレータ63で電圧値比較手段を、レジスタ54、66、コンパレータ65で電流値比較手段を、乗算回路55、57、レジスタ56、58で乗算手段を、加算回路59で加算手段を、レジスタ61、コンパレータ60で電圧電流値比較手段を、OR回路62、AND回路67、発振回路68で制御値選択出力手段を構成している。

【0029】(動作) 上述したように、LMVは電圧モニタ信号に対応した値であり、LMIは電流モニタ信号に対応した値である。また、LMVIは、 $LMVI = a \times LMV + b \times LMI$ で表される値である。これらの値は、それぞれ、レジスタ64、レジスタ66、レジスタ61の値と比較され、これらの値が各レジスタの値よりも小の場合にPWM信号の1(High)が送出される。これは、OR回路62により、いずれか一つのコンパレータ60、63、65が、1(High)になったときにPWM信号がオン出力となるため、全体として各々の条件をすべて包含した出力特性となる。

【0030】ここで、 $LMV = k1 \times V_{TR}$ 、 $LMI = k2 \times I_{TR}$ とする(但し、 $k1$ 、 $k2$ は定数)と、
条件1: $LMV = k1 \times V_{TR} = \text{レジスタ64の値}$ 即ち、 $V_{TR} = (1/k1) \times \text{レジスタ64の値}$
条件2: $LMI = k2 \times I_{TR} = \text{レジスタ66の値}$ 即ち、 $I_{TR} = (1/k2) \times \text{レジスタ66の値}$
条件3: $LMVI = a \times k1 \times V_{TR} + b \times k2 \times I_{TR} = \text{レジスタ61の値}$ 即ち、 $V_{TR} = (1/(a \times k1)) \times \text{レジスタ61の値} - ((b \times k2)/(a \times k1)) \times I_{TR}$

【0031】このとき、電圧モニタ信号検出手段の分圧比を含めた係数である $1/(a \times k1)$ の値を1相当、電流モニタ信号検出手段の比例定数を含めた係数である $(b \times k2)/(a \times k1)$ の値を R' 相当であるとする、 $V_{TR} = V1 - I \cdot R'$ ($V1$ はレジスタ61で決定される電圧値)となり、当然、等価的に出力に R' のシリーズ抵抗を有する特性となる。このとき、上記の条件1、条件2も加わるため、全体としての特性は、次に示す通りとなる。

【0032】図7は、具体例3の回路における $V-I$ 特性の説明図である。ここで、図7(a)では、図6に示したレジスタ64を $V0$ 相当の値、レジスタ66の値を $I0$ 相当の値、レジスタ61の値を $V1$ 相当の値($V0 < V1$)としている。即ち、図中、①で示した部分の特性は、図7(b)に示すようにLMVに基づく特性であ

り、図中②で示した部分の特性はLMIに基づく特性である。また、図中③で示した部分の特性がLMVIに基づく特性である。こうして、複雑な条件を有する高圧電源回路を実現することができる。

【0033】具体例3の回路では、これら①～③の特性のポイントは、各レジスタ61、64、66の値によって任意に設定可能であるため、全体として任意の特性を得ることができる。例えば、レジスタ64、66に0に相当する値を書き込めば、具体例1、2と同等の特性を有する回路を実現することができる。また、レジスタ64の値を V_a 相当、レジスタ61の値を V_b 相当（但し、 $V_a > V_b$ ）、レジスタ66の値を0相当とすれば、出力電圧 V_a の定電圧電源回路を実現することができる。一方、レジスタ66の値を I_a 、レジスタ64の値＝レジスタ61の値＝0相当とすれば、出力電流 I_a の定電流電源回路を実現することができる。

【0034】〈効果〉以上のように、具体例3によれば、具体例1、2に加えて電圧値比較手段と電流値比較手段とを加え、これらの比較値と電圧電流値比較手段からの比較値のに基づいて制御値を出力するようにしたので、次のような効果がある。即ち、本具体例の高圧電源回路は、レジスタ値の設定によって定電圧電源や定電流電源が必要な装置にも容易に適用可能である。従って、多機種に亘る電子写真プリンタの高圧電源部を共通化することができる。また、定電圧電源や定電流電源が必要な装置と表現したが、これ以外にも、機種毎だけでなく、同一機種であっても印字条件や印字を行う環境や媒体によっても必要とされる条件は変化する。例えば、一般的な媒体の場合は、転写ローラの抵抗の影響をうち消すために、出力にシリーズ抵抗を接続した特性である図7(a)の③の特性が望ましい。しかし、封筒のように、部分的に厚みが異なる、あるいは部分的に乾燥または湿気を帯びた媒体のように、部分的に媒体の抵抗値が異なる場合は、転写が行える最低の電流値以上の電流値を一定に流す図7(a)に示す②のような定電流特性が望ましい。一方、葉書や名刺のように幅の狭い媒体の場合、転写ローラとドラムが直接接している部分が多く、全体の抵抗が低くなるため、電流が多く流れ、従ってシリーズ抵抗での電圧低下が大きく、転写電圧不足になりやすい。そのため、図7(a)に示す①のような出力電流によらずに一定の電圧を出力する定電圧電源の特性が望ましい。

【0035】具体例3では、レジスタへの値の設定を変

更することによって、どのような特性にでも変更可能であり、また、図7の(a)に示すような複合した特性も実現可能であるため、媒体の抵抗や種類により、印字中に動的に特性の変化が必要になった場合においても、電源の出力特性において追従が可能であり、その結果、電子写真プリンタの印字特性を更に向上させることが可能となる。

【0036】尚、上記各具体例において、高圧電源の制御回路として電子写真プリンタにおける転写ローラへの電源回路に適用した場合を説明したが、転写ローラだけでなく、例えば帯電ローラ等への電源供給であっても同様に適用可能である。

【0037】

【発明の効果】以上のように、本発明によれば、電源回路の出力を、電源回路の電圧モニタ信号と電流モニタ信号とに基づいて制御するようにしたので、シリーズ抵抗や切換えのための構成が不要となると共に、環境や媒体の種類に応じてきめ細かな電圧、電流の制御を行うことができる。

【図面の簡単な説明】

【図1】本発明の高圧電源の制御回路の具体例1の構成図である。

【図2】出力にシリーズ抵抗が挿入された場合の説明図である。

【図3】加算手段の出力特性を示す説明図である。

【図4】具体例2（その1）の構成図である。

【図5】具体例2（その2）の構成図である。

【図6】具体例3の構成図である。

【図7】具体例3の回路における $V-I$ 特性の説明図である。

【符号の説明】

100 電源回路

101 電圧モニタ信号検出手段

102 電流モニタ信号検出手段

103 制御値生成手段

104、111 乗算手段

105 加算手段

106 制御値出力手段

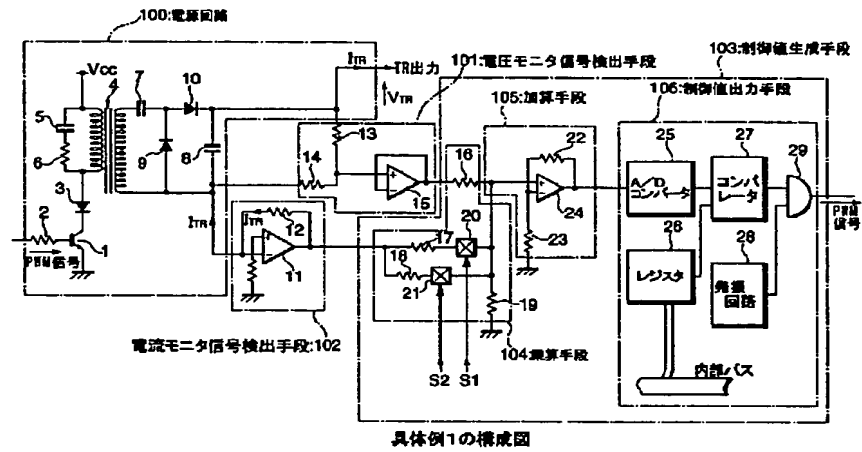
109 電圧値比較手段

110 電流値比較手段

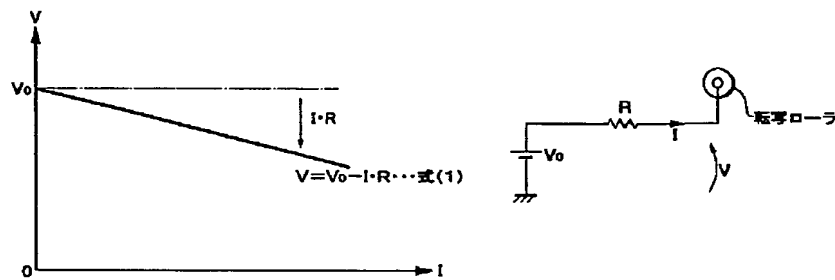
112 電圧電流値比較手段

113 制御値選択出力手段

【図 1】



【図 2】



出力にシリーズ抵抗が挿入された場合の説明図

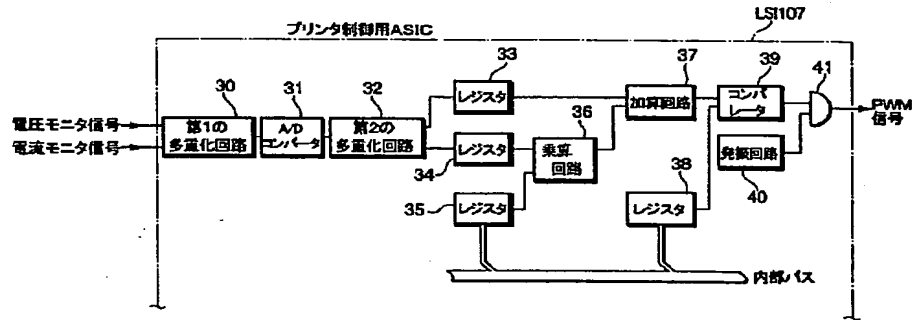
【図 3】

$$(a) \text{ 出力電圧} = \left\{ \frac{(\text{電圧モニタ信号}) \cdot (R19 // R17)}{(R19 // R17) + R16} + \frac{\text{電流モニタ信号} \times (R16 // R19)}{(R16 // R19) + R17} \right\} \cdot \frac{R22 + R23}{R23} \dots \text{式(2a)}$$

$$(b) \text{ 出力電圧} = \left\{ \frac{(\text{電圧モニタ信号}) \cdot (R19 // R18)}{(R19 // R18) + R16} + \frac{\text{電流モニタ信号} \times (R16 // R19)}{(R16 // R19) + R18} \right\} \cdot \frac{R22 + R23}{R23} \dots \text{式(2b)}$$

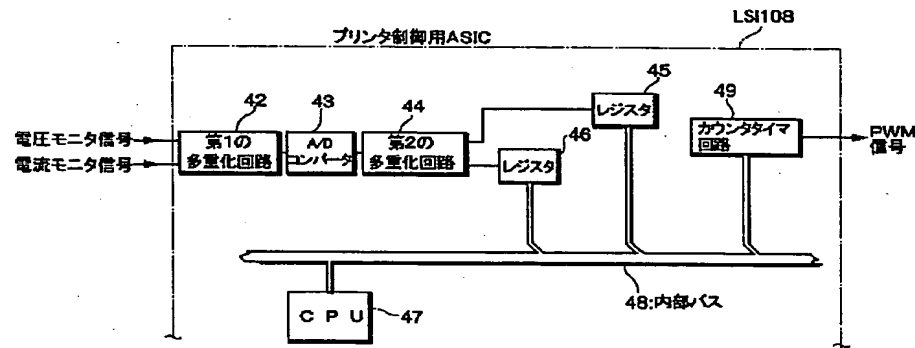
加算手段の出力特性の説明図

【図 4】



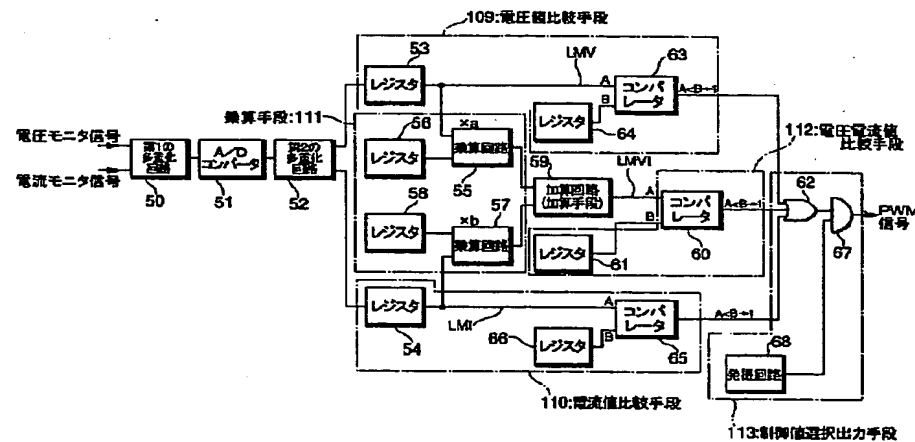
具体例2(その1)の構成図

【図 5】



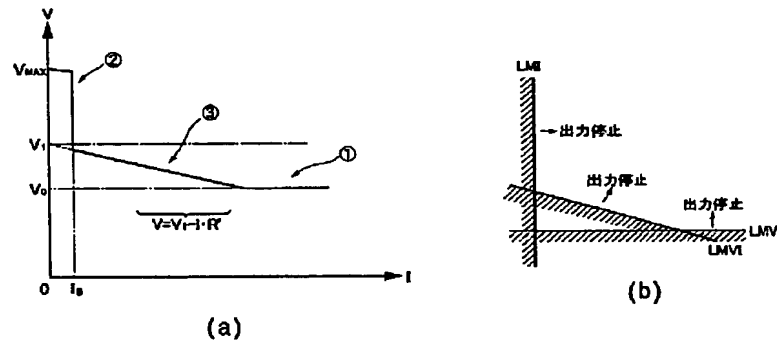
具体例2(その2)の構成図

【図 6】



具体例3の構成図

【図 7】



具体例3のV-I特性の説明図

フロントページの続き

Fターム(参考) 2H027 DA01 DA03 DE07 EA03 EA15
 EC20 EE07 EF09 ZA01
 5H730 AA15 AS04 BB21 BB61 DD02
 EE06 EE07 EE59 FD01 FD31
 FF06 FF07 FF08 FF09 FG05
 FG25 FV05 FV09